

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-57367

(P2001-57367A)

(43) 公開日 平成13年2月27日 (2001.2.27)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L 21/3205		H 0 1 L 21/88	K 4 M 1 0 4
21/304	6 2 1	21/304	6 2 1 D 5 F 0 3 3
	6 2 2		6 2 2 X
// H 0 1 L 21/288		21/288	Z

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平11-231925

(22) 出願日 平成11年8月18日 (1999.8.18)

(71) 出願人 000000239

株式会社荏原製作所

東京都大田区羽田旭町11番1号

(72) 発明者 小樽 直明

東京都大田区羽田旭町11番1号 株式会社

荏原製作所内

(74) 代理人 100091498

弁理士 渡邊 勇 (外2名)

Fターム(参考) 4M104 BB04 BB30 DD37 DD52 DD53

DD75 FF18 FF22 HH12

5F033 HH11 HH33 MM01 MM05 MM12

MM13 PP15 PP27 PP28 QQ48

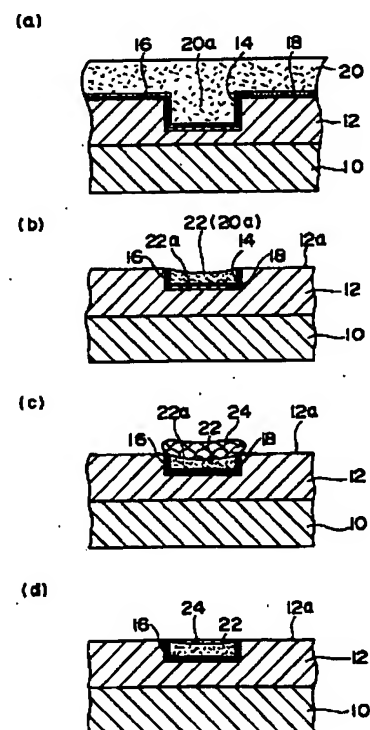
RR04 XX01

## (54) 【発明の名称】 半導体装置の表面平坦化方法

## (57) 【要約】

【課題】 CMPの際のディッシング現象によって生じる金属部分の表面凹みを修復して、全表面を均一に平坦化することができるようにした半導体装置の平坦化方法を提供する。

【解決手段】 金属部分22の研磨面にディッシング現象が生じる時点まで基材10の表面に一次化学機械研磨 (CMP) を施し、この金属部分22の表面に他の金属24を堆積してディッシング現象による表面凹み22aを該金属24で埋めた後、基材10の表面に二次化学機械研磨を施す。



## 【特許請求の範囲】

【請求項1】 金属部分の研磨面にディッシング現象が生じる時点まで基材表面に一次化学機械研磨(CMP)を施し、  
この金属部分の表面に他の金属を堆積させて前記ディッシング現象による表面凹みを該金属で埋めた後、  
基材表面に二次化学機械研磨を施すことを特徴とする半導体装置の表面平坦化方法。

【請求項2】 前記金属を堆積させる工程は、無電解銅めっきであることを特徴とする請求項1記載の半導体装置の表面平坦化方法。

【請求項3】 前記無電解銅めっきは、置換めっきであることを特徴とする請求項2記載の半導体装置の表面平坦化方法。

【請求項4】 前記無電解銅めっきは、自己触媒めっきであることを特徴とする請求項2記載の半導体装置の表面平坦化方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば微細配線構造の半導体装置を製造する際に、半導体装置の表面を平坦化する半導体装置の表面平坦化方法に関する。

## 【0002】

【従来の技術】近年、半導体デバイスの高集積化が進むにつれて、回路の配線が微細化し、集積されるデバイスの寸法もより微細化されつつある。ここで、半導体装置の製造プロセスに於いて、半導体ウエハの表面に形成された皮膜を研磨により除去して、表面を平坦化する工程が頻繁に必要となる。この平坦化法の一つの手段として、化学機械研磨(CMP)により研磨することが行われている。この種の化学機械研磨(CMP)は、研磨布(パッド)を貼ったターンテーブルとトップリングとの間に半導体ウエハを介在させて、トップリングで半導体ウエハをターンテーブルに押圧しつつ両者を回転させ、研磨布に砥液(スラリー)を供給して半導体ウエハの表面を平坦且つ鏡面状に研磨するようにしている。

【0003】この種の化学機械研磨(CMP)を用いる工程の目的としては、

- ① キャパシタ構造のためのトレンチ形成(多結晶Si除去)、
- ② 素子分離(STI:Shallow Trench Isolation)のためのSiO<sub>2</sub>除去、
- ③ 層間絶縁膜(ILD)形成(SiO<sub>2</sub>除去)、
- ④ コンタクト形成のためのW除去、
- ⑤ 凹み埋込み配線形成(ダマシ)のための金属、SiO<sub>2</sub>等の除去、などが挙げられる。

【0004】化学機械研磨(CMP)ではそれを適用する工程(例えば、前記①～⑤のどれか)の如何によって加工対象が種々変動するので、運転条件(パッド特性、砥粒特性、スラリー液質、平均面圧、相対速度、加工時間

等)をその都度状況に応じて調整している。

【0005】ここで、化学機械研磨に纏わる主たる問題点の一つとして、被研磨面に露出する金属の幅が広がっている部分でディッシング現象が激しく生じることに注目して考察を行う。

【0006】図4は、Cuによる凹み埋込み配線を形成する際に、化学機械研磨(CMP)を施すことによって金属(Cu)表面にディッシング現象が生じる状況を概念的に示すものである。つまり、図4(a)に示すように、絶縁層1に所定の配線パターンに従って凹み2を形成し、絶縁層1の上にTiN等からなるバリア層3を形成した後、更にその上にCu層4を形成する。そして、図4(b)に示すように、表面に化学機械研磨(CMP)を施して平坦化することによって、Cuからなる溝状の配線5を形成する。この時、比較的広幅の配線5の研磨面にはディッシング現象による表面凹み5aが、狭幅の配線5の表面にはマイクロディッシング現象による表面凹み5bがそれぞれ起こり易くなる。

【0007】この金属表面のディッシング現象は、主としてCMPのパッドの回転速度や硬さと密接に関係しており、具体的には比較的剛性の低い(柔軟な)パッドが被研磨面の凹凸に追隨して局所的変形を起こすことによって生じると考えられる。一方、マイクロディッシング現象は、金属とバリア材の硬さの違いによる選択比の差とスラリー中の酸化剤による化学的要因の結果生じると考えられる。

【0008】化学機械研磨(CMP)の動力学は、一般的研磨の場合と同様に、下記のパレストン(Preston)の式(1)によって表わすことができる。

【数1】

$$\frac{\delta H}{\delta t} = K_p \cdot \frac{L}{A} \cdot \frac{\delta l}{\delta t} \quad (1)$$

H: パターン凸部の高さ、 t: 加工時間、

L: 荷重、 A: 接触面積、 l: 相対移動量、

$$\frac{\delta H}{\delta t}, \frac{\delta l}{\delta t} : \text{夫々研磨速度、相対速度}$$

ここで、K<sub>p</sub>はプレストン係数と呼ばれ、系の機能を示す定数を表す。式(1)の右辺のプレストン係数K<sub>p</sub>以外の変数を一定値に固定すると、プレストン係数K<sub>p</sub>はパッドやスラリーの材質、組成、被研磨材側の摩耗特性等によって影響を受ける。したがって、基材内部で材料の違いによる摩耗速度の分布が存在すれば、基材表面に局所的凹凸が生じることになるので、それに応じてパッドが弾性変形を起す。すなわち、凹み部分にパッド表層部が追隨して入込む結果、凹み部分の材料除去量が連鎖的に大きくなって、ディッシング現象が顕著に生じる。

【0009】そして、ディッシング現象、マイクロディッシング現象が起こることによって配線部分に無視出来ない表面凹みが生じれば、配線抵抗にバラツキが生じる

ばかりでなく、多層化したときに銅の残渣による電気的な短絡の生じる恐れが高まる。そのため、ディッシング現象、マイクロディッシング現象そのものの発生を防ぐか、或いは研磨後の配線部分に何等かの修復処理を施すことによって配線部分の表面凹みを零にすることが望まれている。

【0010】従来、CMPの際のディッシング現象を防ぐために、機械的、材料的、化学的或いはその他の種々の対策が実施されている。例えば、機械的対策としては、①硬い（剛性の高い）研磨パッドの採用が挙げられ、材料的対策としては、②金属及びバリア材に適したスラリの開発が挙げられる。また、化学的対策として、③研磨スラリーへのグリシン（ $\text{CH}_2\text{NH}_2\text{COOH}$ ）・ $\text{H}_2\text{O}_2$ の混合液を添加することが推奨されており、それ以外に、④基板の配線密度の低い部分に故意に規則的なダミーパターンを組込んで置くこと、及び、⑤重点研磨対象部分を特定して、それぞれを別条件で2ステップのCMPを行う等の対策が提案されている。

【0011】

【発明が解決しようとする課題】しかしながら、上述の機械・材料的対策はスクラッチ状の表面欠陥が発生する確率を高め、化学的対策はスラリー液の維持管理を面倒なものとし、更にその他の対策も素材費用や研磨に要する作業工数の増大を招き易いという問題点がある。このように、従来の技術は、そのいずれもが不完全なものであり、恒久策として全面的に採用できるものではないのが現状であった。

【0012】本発明は上記事情に鑑み為されたもので、CMPの際のディッシング現象によって生じる金属部分の表面凹みを修復して、全表面を均一に平坦化させることができるようにした半導体装置の平坦化方法を提供することを目的とする。

【0013】

【課題を解決するための手段】請求項1に記載の発明は、金属部分の研磨面にディッシング現象が生じる時点まで基材表面に一次化学機械研磨（CMP）を施し、この金属部分の表面に他の金属を堆積させて前記ディッシング現象による表面凹みを該金属で埋めた後、基材表面に二次化学機械研磨を施すことを特徴とする半導体装置の表面平坦化方法である

【0014】これにより、一次化学機械研磨の際の金属部分のディッシング現象による表面凹みを該金属部分の表面に堆積させた別の金属で修復し、例えば低面圧状態で二次化学機械研磨を施すことで、金属部表面と金属部以外の絶縁体等の表面の同一平面化が達成できる。

【0015】請求項2に記載の発明は、前記金属を堆積させる工程は、無電解銅めっきであることを特徴とする請求項1記載の半導体装置の表面平坦化方法である。無電解銅めっきによれば、通常の電解めっきと異なり、外部からの電流供給が一切不要なので、対象物の形状や大

きさ等による制約がなく、また選択性めっきであるので、金属部分以外の絶縁材等の表面にめっき膜が堆積することはない。

【0016】請求項3に記載の発明は、前記無電解銅めっきは、置換めっきであることを特徴とする請求項2記載の半導体装置の表面平坦化方法である。置換めっきは、めっき液中に溶在する貴金属イオンが基材最表面の金属と置換することによって、極薄層に限定した被覆を可能とするめっき方法で、所望の膜厚が極端に薄い場合に限って利用が可能となる。

【0017】請求項4に記載の発明は、前記無電解銅めっきは、自己触媒めっきであることを特徴とする請求項2記載の半導体装置の表面平坦化方法である。自己触媒めっきは、触媒性のある金属に限定した析出・堆積を可能としためっき方法で、銅やニッケルについては、工業的に確立されているものである。

【0018】

【発明の実施の形態】以下、本発明の実施の形態の半導体装置の表面平坦化方法の一例を図1乃至図3を参照して説明する。

【0019】この実施の形態は、Cuダマシンによる配線形成プロセスに適用した例を示すもので、図1(a)に示すように、先ず、シリコンからなる半導体ウエハ（基材）10上に、絶縁層（ $\text{SiO}_2$ ）12を堆積し、この絶縁層12に所定の配線パターンに従って凹み14を形成する。次に、絶縁層12の上にTiN等からなるバリア層16をスパッタリングにより形成し、さらにその上に埋込み金属と同じCuからなるシード層18をスパッタリングにより形成する。次に、シード層18を給電層として電解めっきを行い、シード層18の上にCu層20を形成する。この際、凹み14内にはCu（導電材料）20aが埋込まれる。

【0020】そして、図1(b)に示すように、基材10の表面に一次化学機械研磨（CMP）を施し、凹み14内のCu20aを外露させて平坦化することで、Cu20aからなる溝状の配線22を形成する。この時、配線22の表面にディッシング現象による表面凹み22aが生じた時点で一次化学機械研磨を停止する。つまり、図2に示すように、配線22の幅Wを0.1～10μm、高さHを0.1～1μmとしたとき、配線22の表面に生じるディッシング現象による表面凹み22aの深さDを、例えば50nm=500Å程度以下に抑える。

【0021】次に、図1(c)に示すように、基材10の表面に無電解銅めっきを施して、Cuからなる配線22の表面にCu補修部24を堆積させ、このCu補修部24で配線22の表面凹み22aを完全に埋める。つまり、全ての配線22において、この表面に堆積させたCu補修部24が絶縁層12がなす平面12aから盛り上がったようにする。なお、めっきにより堆積する金属

は、Cu以外の金属であっても良い。

【0022】このように、無電解銅めっきを施すことにより、外部からの電流供給を一切不要として、対象物の形状、大きさ等による制約をなくし、しかもめっき反応を金属(Cu)である配線22の表面上だけで進行(選

択性めっき)させて、それ以外の絶縁層12の表面へのめっき膜の堆積を皆無とすることができる。

【0023】無電解銅めっきの種類を表1に示す。

【表1】

無電解銅めっき分類

金属イオンの還元に必要な駆動力 めっき析出の機構	異種金属間の電位差	還元剤による電子付与
貴金属イオンによる 最表面の置換	①置換めっき*1	
卑金属アノードとの 間に電池対構成 (触媒不使用)	②接触めっき*1	
還元・析出した金属 自体を触媒として使用		③非触媒めっき*3 ④自己触媒めっき*4

\*1: 極薄膜が基材の全接液面を被覆した瞬間にめっき反応停止(厚膜不可)。

\*2: 対極の設置が必要(電池系の構成、維持が厄介)。

\*3: 金属析出が下地選択性に乏しく(絶縁体上にも堆積)、かつめっき液の安定度が低い。銀鏡反応による成膜が典型例。

\*4: 触媒性のある金属に限定した析出・堆積が可能。銅、ニッケルについては工業的にも確立。

ここで、①置換めっきは、液中に溶存する貴金属イオンが基材最表面の金属と置換することによって、極薄層に限定した被覆を可能とするものなので、所望の膜厚が極端に薄い場合に限って利用することができる。また、②接触めっきを行うためには、基材よりも卑な金属で対極を作製してこれと基材との間を電氣的に接続する必要がある。従って、基材側の金属部分の形態によっては電氣的接触が困難な場合が生じる。③非触媒めっきは、いわゆる銅鏡反応や銀鏡反応に相当し、下地材質とは独立にめっき析出・堆積を生じる(下地選択性が乏しい)難点を有している。更に、④自己触媒めっきは、無電解銅めっき、無電解ニッケルめっき(代表例としては“カニゼ

ン法”がある)として工業的に確立した唯一の無電解めっき方法で、プリント基板や化学プラント等に広く応用されている。

【0024】以上から、例えばCu補修部24の膜厚が極めて薄くて良い場合には、置換めっきを利用することができ、その他全般に亘って自己触媒めっきを利用できることが判る。

【0025】この実施の形態にあっては、無電解銅めっきの内の自己触媒めっきを利用したもので、この自己触媒めっきに使用されるめっき液の組成を表2に示す。

【表2】

無電解銅めっき液の組成例、20-24℃

成 分	実用出来る液の例	
	液1リットル当たり投入量g	
	例 1	例 2
硫酸銅 $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$	7	5
ホルマリン37% $\text{HCHO}$	20	10
水酸化ナトリウム $\text{NaOH}$	10	7
ロッシェル塩 $\text{NaK}(\text{C}_4\text{H}_4\text{O}_6) \cdot 4\text{H}_2\text{O}$	20	25
安 定 剤	適量	適量
湿 潤 剤	適量	適量

ここで、ホルマリンは還元剤であって、その毒性のため最近ではこれに替えてグリオキシル酸を用いることが多い。ロッシェル塩は安価なキレート剤としてよく用いら

れており、更にめっき浴の安定性を上げるためにEDTA(温度は27~29℃とやや高め)を用いる場合もある。安定剤としてはピピリジルが、湿潤剤としてはP

EG (ポリエチレングリコール) 等をよく使い、これらに加え、反応開始時間、めっき応力、色調、延性等を考慮して各種の添加剤を表2に加え更に添加することができる。

【0026】次に、自己触媒めっきの手順を図3を参照して説明する。まず、整面洗浄(ステップ1)、水洗を行って(ステップ2)、アンカー効果付与のためのエッチングを施す(ステップ3)。次に、水洗を行い(ステップ4)、中和して(ステップ5)、再度水洗を行う(ステップ6)。そして、酸に浸漬して(ステップ7)、めっきを施す(ステップ8)。

【0027】ここで、この実施の形態にあつては、化学機械研磨によって露出した配線22(銅下地)と無電解銅めっきによるCu補修部24(堆積銅)は互いに強固な金属結合を可能とするので、アンカー効果を付与する必要はない。従つて、前記ステップ2～ステップ7は省略できる。更に、このめっき処理が化学機械研磨の途中のプロセスであることを考慮すると、前記ステップ1も省略できる。したがつて、めっき対象とする基材10の表面の清浄化を十分行った上で、基材10の表面を前記めっき液と接触するだけで済ますこともできる。

【0028】ここで、表2に示すめっき液によって還元・析出して形成しためっき膜は、開始から15min 位経過した時点で $0.3\mu\text{m}$ 程度の厚さに成長する(成膜速度約 $20\text{nm}/\text{min} \approx 3\text{\AA}/\text{s}$ 一定)が、それ以降、めっき速度は経時的に低下していく。これは、めっきによって還元・析出した銅自体の自己触媒性が弱いことに起因する。このように、低い堆積速度約 $3\text{\AA}/\text{s}$ で膜成長が生じたとしても、前述のように、配線22の表面に生じるディッシング現象による表面凹み22aの深さDは、例えば $50\text{nm} = 500\text{\AA}$ 程度以下なので、 $500/3 \approx 170\text{s} \approx 3\text{min}$ 程度のめっき時間で表面凹み22aは修復され、絶縁層12の表面よりも突出した部分を形成することができる。

【0029】しかる後、図1(d)に示すように、低面圧状態で基材10の表面に二次化学機械研磨を施して、Cu補修部24の表面を周囲の絶縁層12がなす平面12aと同一平面になるまで研磨する。これにより、ディッシング現象による金属部分の表面凹みは解消して、当初目標とした金属部表面と絶縁材表面部分の同一平面化が達成できる。

【0030】

【発明の効果】以上説明したように、本発明によれば、CMPの際のディッシング現象によって生じる金属部分の表面凹みを補修して、平坦度を高めることができる。これにより、例えば金属部分のディッシング現象による表面凹みを修復した配線構造を容易に形成することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の半導体装置の表面平坦化方法を工程順に示す断面図である。

【図2】一次化学機械研磨を施した後の金属部分(配線)を拡大して示す拡大断面図である。

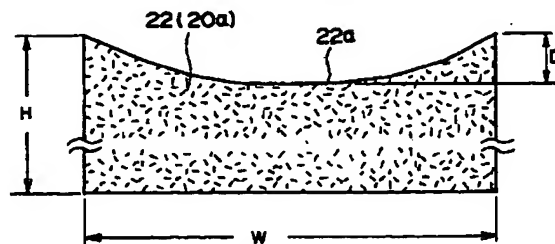
【図3】無電解銅めっきの手順を示すブロック図である。

【図4】ディッシング現象が生じる状況を概念的に示す図である。

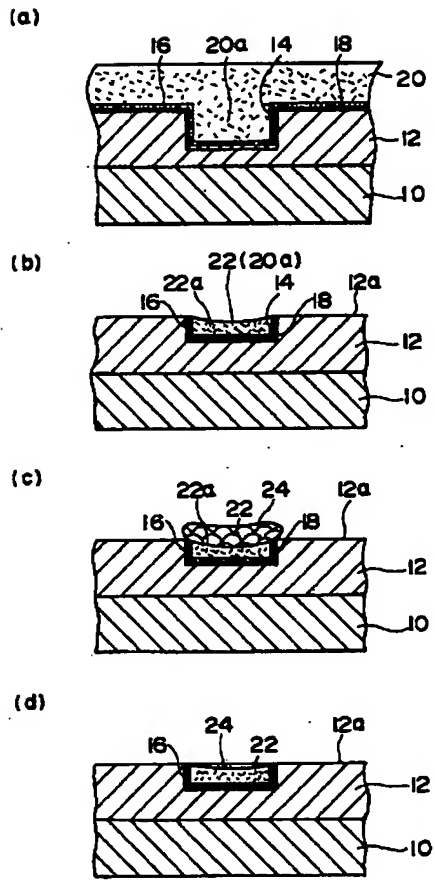
【符号の説明】

- 10 基材
- 12 絶縁層
- 12a 平面
- 14 凹み
- 16 バリヤ層
- 18 シード層
- 20 Cu層
- 22 配線
- 22a 表面凹み
- 24 Cu補修部

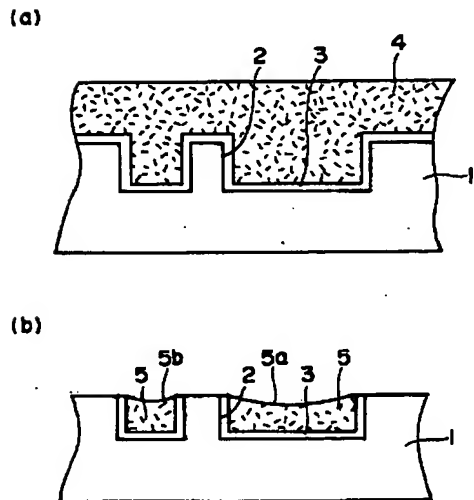
【図2】



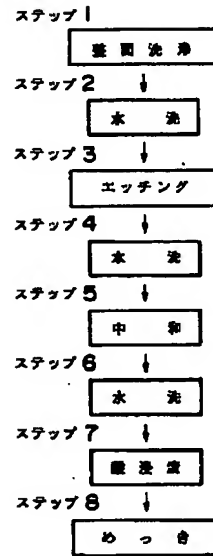
【図1】



【図4】



【図3】



Japanese Kokai Patent Application No. P2001-57367 A

---

Job No.: 853-95217

Ref.: 223961

Translated from Japanese by the Ralph McElroy Translation Company  
910 West Avenue, Austin, Texas 78701 USA

\* \* \*

### Claims

1. A method for flattening the surface of a semiconductor device, characterized by the fact that a primary chemimechanical polishing (CMP) is applied to the surface of a base material until a dishing phenomenon results on the polished surface of a metal part; another metal is deposited on the surface of the metal part, so that a surface recess due to the dishing phenomenon is filled with said metal; and a secondary chemimechanical polishing is applied to the surface of the base material.

2. The method for flattening the surface of a semiconductor device of Claim 1, characterized by the fact that the process for depositing the above-mentioned metal is an electroless copper plating process.

3. The method for flattening the surface of a semiconductor device of Claim 2, characterized by the fact that the above-mentioned electroless copper plating is a substitutional plating.

4. The method for flattening the surface of a semiconductor device of Claim 2, characterized by the fact that the above-mentioned electroless copper plating is an auto-catalytic plating.

### Detailed explanation of the invention

[0001]

Technical field of the invention

The present invention pertains to a method for flattening the surface of a semiconductor device, which method flattens the surface of the semiconductor device, for example, when a semiconductor device with a fine wiring structure is manufactured.

[0002]

Prior art

Recently, along with the high integration of semiconductor devices, wiring of circuits has been miniaturized, and the size of the devices being integrated has also been miniaturized. Here, in the manufacturing process of a semiconductor device, a process that removes a film formed on the surface of the semiconductor device by polishing and flattens the surface is frequently required. As one means of flattening, polishing is carried out by chemimechanical polishing (CMP). In such chemimechanical polishing (CMP), a semiconductor wafer is interposed between a turntable with an attached abrasive cloth (pad) and a top ring, and both of them are rotated while the semiconductor wafer is pressed against the turntable by the top ring. A grindstone



solution (slurry) is supplied to the abrasive cloth, and the surface of the semiconductor wafer is polished in a flat mirror shape.

[0003]

As purposes of a process using chemimechanical polishing (CMP), ① trench formation for a capacitor structure (removal of polycrystalline Si), ② SiO<sub>2</sub> removal for element separation (STI: Shallow Trench Isolation), ③ interlayer insulating film (ILD) formation (SiO<sub>2</sub> removal), ④ W removal for forming a contact, ⑤ removal of metal, SiO<sub>2</sub>, etc., for forming recessed embedded wiring (Damashin[transliteration]), etc., can be mentioned.

[0004]

In chemimechanical polishing (CMP), since objects undergoing polishing depend variously on the process (for example, the above-mentioned ①-⑤) used for the polishing, the operating conditions (pad characteristic, grindstone particle characteristic, slurry solution, average surface pressure, relative speed, working time, etc.) are adjusted in accordance with each situation.

[0005]

Here, one of the main problems in chemimechanical polishing, a dishing phenomenon, is caused in a part in which the width of metal exposed on the surface being polished is large

[0006]

Figure 4 conceptually shows a state in which the dishing phenomenon is caused on the surface of a metal (Cu) when chemimechanical polishing (CMP) is applied in forming a recessed embedded wiring of Cu. In other words, as shown in Figure 4(a), a recess 2 is formed in an insulating film 1 according to a prescribed wiring pattern, a barrier layer 3 composed of TiN, etc., is formed on the insulating film 1, and a Cu layer 4 is formed on it. Then, as shown in Figure 4(b), the surface is flattened by applying chemimechanical polishing (CMP), so that a groove-shaped wiring 5 formed of Cu is formed. At that time, a surface recess 5a due to the dishing phenomenon is easily caused on the polished surface of the wiring 5 with a relatively wide width, and a surface recess 5b due to a microdishing phenomenon is easily caused on the surface of the wiring 5 with a narrow width.

[0007]

The dishing phenomenon of the metal surface is mainly closely related to the rotation speed and the hardness of the pad of the CMP, and specifically, it is thought that a pad with a

relatively low rigidity (soft) can cause a local deformation along with recessions and projections of the surface being polished, so that the dishing phenomenon results. On the other hand, it is thought that the microdishing phenomenon is caused by the difference in the selection ratio due to the difference in hardness between the metal and the barrier material and chemical factors due to oxidizing agents in the slurry.

[0008]

The kinetics of chemimechanical polishing (CMP) can be expressed by the following Preston equation (1) similarly to a general polishing.

(Mathematical Formula 1)

$$\delta H / \delta t = K_p \cdot L / A \cdot \delta l / \delta t \quad (1)$$

H: Height of the convex part of a pattern

t: Working time

L: Load

A: Contact area

l: Amount of relative movement

$\delta H / \delta t$ ,  $\delta l / \delta t$ : Polishing rate, relative speed

Here,  $K_p$  is called the Preston coefficient and is a constant that is a function of the system. Even if the variables other than the Preston coefficient  $K_p$  of the right-hand side of equation (1) are set at fixed values, the Preston coefficient  $K_p$  is influenced by the materials of pad and slurry, composition, polishing characteristic of the material being polished, etc. Therefore, if a distribution of the polishing rate due to a difference in the base material exists, local recessions and projections are generated on the base material surface, with the pad causing elastic deformation in accordance with them. In other words, since the pad surface layer part is inserted into the recessed part, the dishing phenomenon is noticeably generated.

[0009]

Then, since a surface recession which cannot be ignored is generated in the wiring part by the dishing phenomenon plus the microdishing phenomenon, not only is variation generated in the wiring resistance, but an electric short-circuit is very likely by a residue of copper when a multilayer is formed. For this reason, it is desirable to eliminate a surface recess of the wiring part by preventing the generation of the dishing phenomenon and the microdishing phenomenon or by applying a certain repair treatment to the wiring part after polishing.

[0010]

In order to prevent the dishing phenomenon during CMP, mechanical, material, chemical, or other various measures are applied. For example, as a mechanical measure, ① the adoption of a hard (high rigidity) polishing pad can be mentioned, and as a material measure, ② the development of a slurry suitable for the metal and barrier material can be mentioned. Also, as a chemical measure, ③ the addition of a mixed solution of glycine ( $\text{CH}_2\text{NH}_2\text{COOH}$ ) and  $\text{H}_2\text{O}_2$  to the polishing slurry is recommended. In addition, ④ a regular dummy pattern is intentionally assembled in the part of the substrate with a low wiring density, and ⑤ parts undergoing major polishing are specified and subjected to a two-step CMP under different conditions.

[0011]

Problems to be solved by the invention

However, in the above-mentioned mechanical and material measures, the probability of generating scratch-shaped surface defects arises, and in the chemical measure, the maintenance control of the slurry solution is complicated. Furthermore, in the other measures, the material cost and the number of processes required for polishing are increased. Thus, each of the prior art measures was incomplete, and in actuality, a permanent measure that could be entirely adopted did not exist.

[0012]

The present invention considers the above-mentioned situation, and its objective is to provide a method for flattening a semiconductor device that repairs a surface recess of a metal part generated by the dishing phenomenon during the CMP and that can uniformly flatten the entire surface.

[0013]

Means to solve the problems

The invention of Claim 1 is a method for flattening the surface of a semiconductor device, characterized by the fact that a primary chemimechanical polishing (CMP) is applied to the surface of a base material until a dishing phenomenon results on the polished surface of a metal part; another metal is deposited on the surface of the metal part, so that a surface recess due to the dishing phenomenon is filled with said metal; and a secondary chemimechanical polishing is applied to the surface of the base material.

[0014]

Thus, a surface recess due to the dishing phenomenon of the metal part during the primary chemimechanical polishing is repaired by another metal deposited on the surface of said metal part and subjected to the secondary chemimechanical polishing at low surface pressure, for instance, so that the same flatness of the metal part surface as the surface of an insulator, etc., other than the metal part can be realized.

[0015]

The invention of Claim 2 is the method for flattening the surface of a semiconductor device of Claim 1 characterized by the fact that the process for depositing the above-mentioned metal is by electroless copper plating. According to electroless copper plating, unlike ordinary electroplating, since a current supply from the outside is not required, there are no restrictions on the shape, size, etc., of an object, and due to selective plating, a plating film is not deposited on the surface of an insulator, etc., other than the metal part.

[0016]

The invention of Claim 3 is the method for flattening the surface of a semiconductor device of Claim 2 characterized by the fact that the above-mentioned electroless copper plating is a substitutional plating. Substitutional plating is a plating method that enables a limited coating of a very thin layer by substituting noble metal ions dissolved in a plating solution for metal of the uppermost surface of the base material, and it can be applied only when a desired film thickness is very thin.

[0017]

The invention of Claim 4 is the method for flattening the surface of a semiconductor device of Claim 2 characterized by the fact that the above-mentioned electroless copper plating is an auto-catalytic plating. Auto-catalytic plating is a plating method that enables limited precipitation and deposition on a catalytic metal, and it is industrially well established for copper and nickel.

[0018]

Embodiment of the invention

Next, an example of the method for flattening the surface of a semiconductor device of an embodiment of the present invention is explained referring to Figures 1-3.

[0019]

This embodiment shows an example in which the present invention is applied to a wiring formation process of Cu Damashin. As shown in Figure 1(a), first, an insulating layer ( $\text{SiO}_2$ ) 12 is deposited on a semiconductor wafer (base material) 10 composed of silicon, and a recess 14 is formed in the insulating layer 12 according to a prescribed wiring pattern. Next, a barrier layer 16 composed of TiN, etc., is formed on the insulating layer 12 by sputtering, and a seed layer 18 composed of the same Cu as the embedded metal is formed by sputtering. Then, using the seed layer 18 as a power supply layer, a Cu layer 20 is formed on the seed layer 18 by electroplating. At that time, a Cu (electroconductive material) 20a is embedded into the recess 14.

[0020]

Then, as shown in Figure 1(b), a first chemimechanical polishing (CMP) is applied to the surface of the base material 10, and the Cu 20a in the recess 14 is exposed on the outside and is flattened, so that a groove-shaped wiring 22 composed of the Cu 20a is formed. When a surface recess 22a due to the dishing phenomenon is generated on the surface of the wiring 22, the primary chemimechanical polishing is stopped. In other words, as shown in Figure 2, when the width  $W$  of the wiring 22 is  $0.1\text{--}10\text{ }\mu\text{m}$  and the height  $H$  is  $0.1\text{--}1\text{ }\mu\text{m}$ , the depth  $D$  of the surface recess 22a due to the dishing phenomenon on the surface of the wiring 22 is suppressed to about  $50\text{ nm} = 500\text{ }\text{\AA}$  or less, for instance.

[0021]

Next, as shown in Figure 1(c), a Cu repair part 24 is deposited on the surface of the wiring 22 composed of Cu by applying electroless copper plating to the surface of the base material 10, and the surface recess 22a of the wiring 22 is completely filled by the Cu repair part 24. In other words, for the entire wiring 22, a Cu repair part 24 deposited on the surface is elevated above a plane 12a formed by the insulating layer 12. Also, the metal deposited by the plating may be a metal other than Cu.

[0022]

With electroless copper plating, a current supply from the outside is not required, and restrictions on shape, size, etc., of an object are eliminated. Furthermore, the plating reaction is advanced (selective plating) only on the surface of the wiring 22 metal (Cu), so the deposition of a plating film on the surface of the insulating layer 12 can be eliminated.

[0023]

Types of electroless copper plating are shown in Table 1.

Table 1

① 無電解めっき分類	②	③	④
⑤ 金属イオンの還元による金属析出の駆動力	⑥ 異種金属間の電位差	⑦ 還元剤による電子付与	
⑥ 貴金属イオンによる最表面の置換	① 置換めっき*1	⑦	
⑧ 卑金属アノードとの間に電流対構成	② 接触めっき*2	⑨	
⑩ (触媒不使用)		③ 非触媒めっき*3	⑪
⑫ 還元・析出した金属自体を触媒として使用		④ 自己触媒めっき*4	⑬

\*1: When all of the liquid contact surface of the base material is coated with a very thin film, the reaction is stopped (a thick film cannot be applied).

\*2: The installation of a counter electrode is required (the constitution of the cell system and the maintenance are complicated)

\*3: The metal precipitation is deficient regarding undercoating selectivity (also deposited on the insulator), and the stability of the plating solution is low. Film formation by means of a mirror reaction is a typical example.

\*4: Limited precipitation and deposition are possible on a catalytic metal. Copper and nickel are also industrially established.

- Key:
- 1 Types of electroless copper plating
  - 2 Driving force required for reducing metal ions
  - 3 Potential difference between different kinds of metals
  - 4 Rendering electrons by a reducing agent
  - 5 Mechanism of plating precipitation
  - 6 Substitution of the uppermost surface by noble metal ions
  - 7 ① Substitutional plating\*1
  - 8 Cell pair constitution with a base metal anode
  - 9 ② Contact plating\*2
  - 10 (No catalyst used)
  - 11 ③ Non-catalyst plating\*3
  - 12 Use of a reduced and precipitated metal itself as a catalyst
  - 13 ④ Auto-catalytic plating\*4

Here, in substitutional plating ①, since limited coating is possible of a very thin layer by substituting the noble metal ions dissolved in the solution for the metal of the uppermost surface of the base material, it can be utilized only when a desired film thickness is very thin. Also, for contact plating ②, the counter electrode consists of a metal baser than the base material, and an electric connection is required between the counter electrode and the base material. Therefore, the electric contact can be difficult in accordance with the shape of the metal part of the base material. Non-catalyst plating ③ corresponds to a copper mirror reaction or a silver mirror

reaction, and plating precipitation and deposition are caused (deficient undercoating selectivity) independently of the undercoating material. Furthermore, auto-catalytic plating ④ is the only electroless plating industrially established for electroless copper plating and electroless nickel plating (as a representative example, there is the "Kanigen method") and is broadly applied to printed-circuit boards and chemical plants.

[0024]

From the above facts, for example, if the film thickness of the Cu repair part 24 can be very thin, it is clear that substitutional plating can be utilized and auto-catalytic plating can be utilized over other parts.

[0025]

In this embodiment, auto-catalytic electroless copper plating is utilized, and the composition of the plating solution used in the auto-catalytic plating is shown in Table 2.

Table 2

① 無電解銅めっき液の組成例、20-24℃

③ 成分	② 実用出来る液の例		④ 液1ℓ毎当たり投入量g	
			⑤例 1	⑤例 2
硫酸銅 $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$			7	5
ホルマリン37% $\text{HCHO}$			20	10
水酸化ナトリウム $\text{NaOH}$			10	7
ロッシェル塩 $\text{NaK}(\text{C}_4\text{H}_4\text{O}_6) \cdot 4\text{H}_2\text{O}$			20	25
安定剤			⑦ 適量	適量
湿潤剤			⑦ 適量	適量

- Key:
- 1 Composition example of electroless copper plating solution, 20-24°C
  - 2 Example of practical solution
  - 3 Component
  - 4 Amount charged per 1 L solution, g
  - 5 Example
  - 6 Copper sulfate,  $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$
  - 37% formalin,  $\text{HCHO}$
  - Sodium hydroxide,  $\text{NaOH}$
  - Rochelle salt,  $\text{NaK}(\text{C}_4\text{H}_4\text{O}_6) \cdot 4\text{H}_2\text{O}$
  - Stabilizer
  - Wetting agent
  - 7 Appropriate amount

Here, formalin is a reducing agent, and owing to its toxicity, glyoxylic acid has recently been frequently used instead of it. Rochelle salt is effectively used as an inexpensive chelating

agent, and EDTA (the temperature is slightly elevated at 27-29°C) is sometimes used to raise the stability of the plating bath. As a stabilizer, bipyridyl may be used, and as a wetting agent, PEG (polyethylene glycol), etc., may be used. In addition to those shown in Table 2, various additives are sometimes further added in consideration of reaction initiation time, plating stress, hue, ductility, etc.

[0026]

Next, the sequence of auto-catalytic plating is explained referring to Figure 3. First, the wall surface is washed (step 1), washing with water is carried out (step 2), and etching for rendering an anchor effect is applied (step 3). Next, washing with water is carried out (step 4), neutralizing is carried out (step 5), and washing with water is reapplied (step 6). Then, immersing into an acid (step 7) is carried out, and plating is applied (step 8).

[0027]

Here, in this embodiment, since the wiring 22 (copper undercoating) exposed by the chemimechanical polishing and the Cu repair part 24 (deposited copper) of the electroless copper plating can form a mutually strong metal bonding, it is not necessary to render an anchor effect. Therefore, the above-mentioned steps 2-7 can be omitted. Furthermore, considering that the plating treatment is an intermediate process of the chemimechanical polishings, the above-mentioned step 1 can also be omitted. Therefore, after a sufficient cleaning of the surface of the base material 10 being plated, the surface of the base material 10 can also be merely contacted with the above-mentioned plating solution.

[0028]

Here, the plating film formed by reducing and precipitation from the plating solution in Table 2 grows to a thickness of about 0.3  $\mu\text{m}$  (the film growth rate is constant at about 20 nm/min  $\approx$  3  $\text{\AA}/\text{sec}$ ) after about 15 min from the start; however, the plating rate decreases with time. This is due to the weak auto-catalytic characteristic of the copper that is reduced and precipitated by plating. Thus, even if the film grows at a low deposition rate of about 3  $\text{\AA}/\text{sec}$ , as mentioned above, since the depth D of the surface recess 22a due to the dishing phenomenon on the surface of the wiring 22 is about 50 nm = 500  $\text{\AA}$  or less, the surface recess 22a is repaired in the plating time of about  $500/3 \approx 170 \text{ sec} \approx 3 \text{ min}$ , and the protruding part can also extend from the surface of the insulating layer 12.



[0029]

Then, as shown in Figure 1(d), the secondary chemimechanical polishing is applied at a low surface pressure to the surface of the base material 10, and the surface of the Cu repair part 24 is polished until it reaches the same plane as the plane 12a formed by the peripheral insulating layer 12. Thus, the surface recess of the metal part due to the dishing phenomenon is eliminated, and the intended same plane formation of the insulator surface part and the metal part surface can be achieved.

[0030]

Effect of the invention

As explained above, according to the present invention, flatness can be increased by repairing a surface recess of the metal part generated by the dishing phenomenon during CMP. Thus, for example, a wiring structure in which a surface recess due to the dishing phenomenon of the metal part is repaired can be easily formed.

#### Brief description of the figures

Figure 1 is a cross section showing the method for flattening the surface of a semiconductor device of an embodiment of the present invention in the process sequence.

Figure 2 is an enlarged cross section showing an enlarged metal part (wiring) after applying a primary chemimechanical polishing.

Figure 3 is a block diagram showing the sequence of an electroless plating.

Figure 4 conceptually shows a state in which a dishing phenomenon is caused.

Explanation of numerals:

- 10     Base material
- 12     Insulating layer
- 12a    Plane
- 14     Recess
- 16     Barrier layer
- 18     Seed layer
- 20     Cu layer
- 22     Wiring
- 22a    Surface recess
- 24     Cu repair part

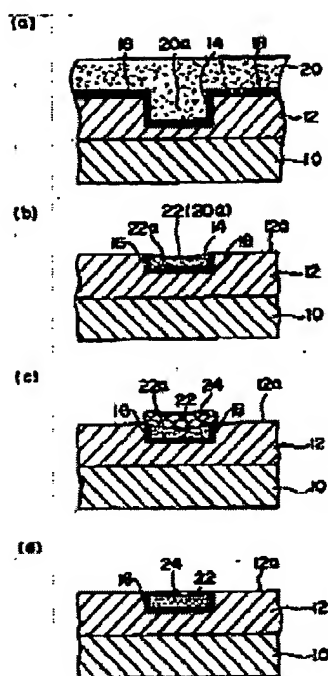


Figure 1

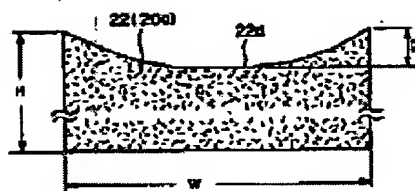


Figure 2

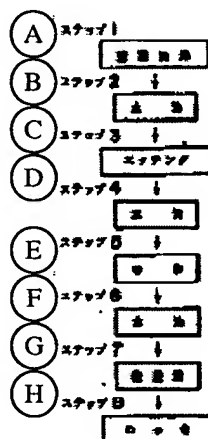


Figure 3

Key: A Step 1 Wall surface washing  
 B Step 2 Washing with water

- C Step 3 Etching
- D Step 4 Washing with water
- E Step 5 Neutralizing
- F Step 6 Washing with water
- G Step 7 Immersing in an acid
- H Step 8 Plating

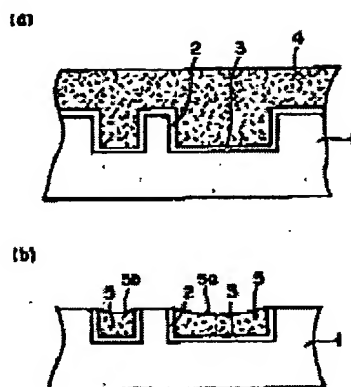


Figure 4